

Layout 注意事項

參考範例

- 四層板,採交互式佈線,疊構依機構圖。
(指定層數,佈線需求與疊構)
- 所有IC的電源、地線之間加上(bypass)去耦電容。
(補述:電路圖不清楚處---設計工程師經常將外加的電容省略)
- 地線電源線寬為：1.2~2.5 mm 信號線寬為：0.2~0.3mm 最小間距為：0.25mm
(定義:線寬,間距)
- 電（地）層上進行佈線。先用電源層，其次是地層。最好是保留地層的完整性。
(EMC 考量)
- 板框，零件位置，限高區(零件高度)，禁佈區(禁止擺設零件或走線)請參考機構圖。
(機構限制考量)
- 零件的排列要按照SMT (插件) 製程。
如: SMD 0603 在背面的方向與過錫爐的方向成90度, DIP&IC零件放正面。
(自動插件考量)
- 零件的排列要加入美觀，整齊，不可雜亂無章，包括IC, DIP電解電容方向一致等。
- COMPONENT SIDE 以垂直走線為主, SOLDER SIDE 以水平走線為主。
- VIA Size 統一為Drill=12 Pads=24(mil) 。
- IC (QFP IC) 內儘量不要打VIA除GND VIA 外。
- VIA要離SMD PAD 15 MIL 以上。
- 電源 輸出地方 & GND PLANE(正背面 & 內層)多打 3~4個 VIA。
(供電穩定考量)
- BUS 排線 D0 ~ D15 (A0 ~ A15), 不可有零星的訊號線在裡面穿插。
(訊號干擾考量)
- 以最短路徑走Clock和D+/D-,並與I/O Connector保持遠離。
(訊號穩定考量)

- XTL和OSC底下禁止有磁感元件.且 D+/D- , Clock 訊號不可經過此處。
(EMC 考量)
- D+/D-必須轉90°時,可以使用2個45°轉折或1個arc替代。
(差動考量)
- D+/D-要在完整的VCC or GND Planes上,不能中斷或穿過斷層。
(差動考量)
- D+/D-保持平行走線,線間的距離必須設計在90Ω的差動阻抗。
(差動考量)
- D+/D-必須等長走線,誤差不可大於200mil(5.08mm)。
(差動考量)
- XTL和OSC必須平放且於下方增加一片完整的GND,並多打幾個Via至GND層。
- 多閘道IC 和 排阻 可以依需要作對調(swap pin,swap gate)。
(美觀考量)